

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-272946

(43)Date of publication of application : 05.10.2001

(51)Int.Cl. G09G 3/28
G09G 3/20
// H01J 11/00

(21)Application number : 2000-082723

(71)Applicant : NEC CORP

(22)Date of filing : 23.03.2000

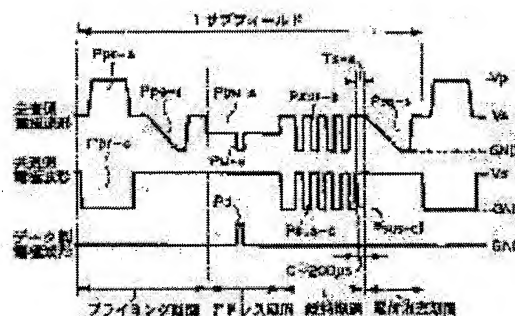
(72)Inventor : SHOJI TAKATOSHI

(54) AC TYPE PLASMA DISPLAY PANEL AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driving method and a driving circuit capable of maintaining the driving characteristic of a display panel satisfactorily by performing uniform charge erasure in an AC type plasma display panel.

SOLUTION: This display panel is an AC type plasma display panel in which cells are constituted of the scanning electrodes S1 to Sn which are arranged at the inner surface of a front substrate and the common electrodes C1 to Cn which are arranged between the front substrate and the scanning electrodes and the data driving electrodes D1 to Dm which are arranged on a back substrate which is oppositely arranged by being separated from the front substrate so as to intersect the scanning electrodes S1 to Sn and the common electrodes C1 to Cn by being separated from them and in the driving method of the panel which is driven in an address period forming barrier charge and a sustaining period generating sustaining discharge continuously, a charge erasing pulse which is to be impressed in order to erase the barrier charge formed on selected cells which performed display after the completion of the sustaining period is impressed during 0 μ s to 200 μ s after the completion of the final sustaining pulse in sustaining pulses.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-272946

(P2001-272946A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 4 1 E 5 C 0 4 0
3/20	6 4 1		6 7 0 E 5 C 0 8 0
	6 7 0	H 0 1 J 11/00	K
// H 0 1 J 11/00		G 0 9 G 3/28	E
			H
審査請求 有 請求項の数11 O L (全 12 頁)			

(21) 出願番号 特願2000-82723(P2000-82723)

(22) 出願日 平成12年3月23日(2000.3.23)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 東海林 孝年

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 5C040 FA01 FA04 GB03 GB14

5C080 AA05 B805 DD06 DD09 EE29

GG16 HH02 HH04 HH05 HH07

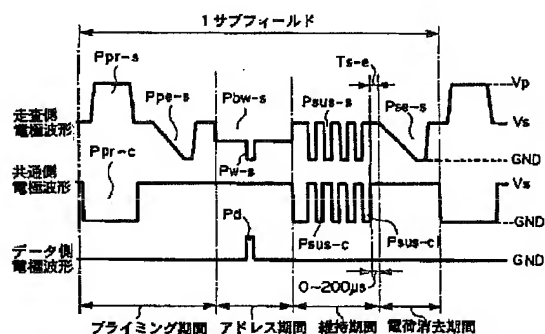
JJ04 JJ05 JJ06

(54) 【発明の名称】 AC型プラズマディスプレイパネルとその駆動方法

(57) 【要約】

【課題】 AC型プラズマディスプレイにおいて、均一な電荷消去により、駆動特性を良好に保つ駆動方法および駆動回路を提供することを課題とする。

【解決手段】 前面基板の内側に、走査電極S1～Snと、前記前面基板と前記走査電極の間の共通電極C1～Cnと、前記前面基板と離間して対向配置された背面基板に、前記走査電極S1～Sn及び前記共通電極C1～Cn-1と離間して交差するように配置されるデータ電極D1～Dmとでセルを構成しているAC型プラズマディスプレイパネルであって、壁電荷を形成するアドレス期間と、維持放電を持続的に発生させる表示放電を行う維持期間とで駆動するAC型プラズマディスプレイの駆動方法において、前記維持期間の終了後に表示を行った前記選択セルに形成された壁電荷を消去するために印加する電荷消去パルスを、前記維持パルスのうちの最終維持パルスの終了後0μs～200μsの間に印加することを特徴とする。



【特許請求の範囲】

【請求項1】 前面基板の内側に、走査電極S1～Snがこの順に互いに水平かつ平行に配置され、前記前面基板と前記走査電極の間に共通電極C1～Cnが配置され、前記前面基板と離間して対向配置された背面基板に、前記走査電極S1～Sn及び前記共通電極C1～Cn-1と離間して交差するように複数のデータ電極D1～Dmが配置され、前記走査電極Sn、前記共通電極Cnと前記データ電極Dmの交点で1セルを構成しているAC型プラズマディスプレイパネルであって、1画面を構成する時間である1フレームをサブフィールド（以下、SFと称する）に分割し、任意のセルに書込放電を発生させるために各SFにて少なくとも前記走査電極に線順次に走査パルス（以下、Sパルス）を印加しつつ選択する前記データ電極に前記走査パルスに同期したデータパルスを印加して選択した選択セルに書込放電を起し、壁電荷を形成するアドレス期間と、前記アドレス期間に選択的に放電が発生した箇所に維持パルスを供給して維持放電を持続的に発生させる表示放電を行う維持期間とを駆動するAC型プラズマディスプレイの駆動方法において、前記維持期間の終了後に表示を行った前記選択セルに形成された壁電荷を消去するために印加する電荷消去パルスを、前記維持パルスのうちの最終維持パルスの終了後 $0\mu s \sim 200\mu s$ の間に印加することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項2】 請求項1に記載されたAC型プラズマディスプレイの駆動方法において、前記最終維持パルスの終了後前記電荷消去パルスの印加開始時間は前記AC型プラズマディスプレイパネルに表示する画像の平均輝度レベルに応じて前記維持パルスの数を変化させた場合も、前記最終維持パルスから電荷消去パルスまでの間隔を $0 \sim 200\mu s$ とすることを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項3】 請求項1に記載されたAC型プラズマディスプレイの駆動方法において、前記電荷消去パルスの印加終了後のサブフィールドのプライミングパルスの印加開始時間を $0 \sim 200\mu s$ とすることを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項4】 請求項3に記載されたAC型プラズマディスプレイの駆動方法において、前記プライミングパルスの印加終了後に供給される電荷調整パルスを、前記プライミングパルスの印加終了後 $0 \sim 50\mu s$ に開始することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項5】 請求項4に記載されたAC型プラズマディスプレイの駆動方法において、前記電荷調整パルスの印加終了後に適用されるアドレス期間の開始時間は、前記電荷調整パルスの印加終了後 $0 \sim 50\mu s$ に開始することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項6】 請求項1乃至5のいずれかに記載されたAC型プラズマディスプレイの駆動方法において、前記1フレーム中のサブフィールド期間を前記維持期間を圧縮して短縮することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項7】 請求項1乃至5のいずれかに記載されたAC型プラズマディスプレイの駆動方法において、前記アドレス期間の前にプライミング期間を設け、前記維持期間の後に電荷消去期間を設けて前記サブフィールド期間にプライミング期間、アドレス期間、維持期間、電荷消去期間を順次、プライミングパルス、アドレスパルス、維持パルス、電荷消去パルスを印加して繰り返し、駆動することに加え、前記フィールドの最後に電荷消去パルス、前記プライミングパルス、電荷調整パルスを印加することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項8】 請求項7に記載されたAC型プラズマディスプレイの駆動方法において、さらに次フィールドの先頭のサブフィールドのアドレス期間前に電荷消去パルス、プライミングパルス、電荷調整パルスを印加することを特徴とするAC型プラズマディスプレイの駆動方法。

【請求項9】 前面基板の内側に、走査電極S1～Snがこの順に互いに水平かつ平行に配置され、前記前面基板と前記走査電極の間に共通電極C1～Cnが配置され、前記前面基板と離間して対向配置された背面基板に、前記走査電極S1～Sn及び前記共通電極C1～Cn-1と離間して交差するように複数のデータ電極D1～Dmが配置され、前記走査電極S1～Sn、前記共通電極C1～Cnと前記データ電極D1～Dmの交点で1セルを構成し、1画面を構成する時間である1フレームをサブフィールド（以下、SFと称する）に分割し、任意のセルに書込放電を発生させるために各SFにて前記走査電極と前記共通電極とにプライミングパルスを供給するプライミング期間と、少なくとも前記走査電極に線順次に走査パルスを印加しつつ選択する前記データ電極に前記走査パルスに同期したデータパルスを印加して選択した選択セルに書込放電を起し、壁電荷を形成するアドレス期間と、前記アドレス期間に選択的に放電が発生した箇所に維持パルスを供給して維持放電を持続的に発生させる表示放電を行う維持期間と、前記走査電極と前記共通電極とに維持消去パルスを印加する電荷消去期間とを順次駆動するAC型プラズマディスプレイにおいて、前記維持期間に前記走査電極と前記共通電極とに前記維持パルスを印加する維持ドライバと、前記維持期間の終了後の前記電荷消去期間に前記放電・表示を行った前記選択セルに形成された壁電荷を消去する電荷消去パルスを前記走査電極に印加する電荷消去ドライバとを備え、前記維持パルスのうちの最終維持パルスの終了後 $0\mu s \sim 200\mu s$ の間に前記電荷消去パルスを印加することを

特徴とするAC型プラズマディスプレイ。

【請求項10】 請求項9に記載されたAC型プラズマディスプレイにおいて、更に前記プライミング期間に前記走査電極と前記共通電極とに前記プライミングパルス印加するプライミングドライバを備え、前記プライミングドライバは、前記電荷消去パルスの印加終了後0～200 μ sに次のサブフィールドの前記プライミングパルスを印加・開始することを特徴とするAC型プラズマディスプレイ。

【請求項11】 請求項10に記載されたAC型プラズマディスプレイにおいて、前記プライミングパルスの印加終了後に供給される電荷調整パルスを、前記プライミングパルスの印加終了後0～50 μ sに開始することを特徴とするAC型プラズマディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AC型プラズマディスプレイパネルの駆動方法に関し、特に、維持電圧を供給してその後の新たな放電電圧に移行する際のAC型プラズマディスプレイパネルの駆動方法とこの駆動方法を用いたAC型プラズマディスプレイパネルに関する。

【0002】

【従来の技術】一般に、プラズマディスプレイパネルは、薄型構造でちらつきがなく表示コントラスト比が大きいこと、また、比較的到大画面とすることが可能であり、応答速度が速く、自発光型で、蛍光体の利用により多色発光も可能であることなど、数多くの特徴を有している。このために、近年、コンピュータ関連の表示装置分野およびカラー画像表示の分野等において、薄型の大画面表示装置などのいわゆる壁テレビとして、広く利用されるようになりつつある。

【0003】このプラズマディスプレイには、その動作方式により、電極が誘電体で被覆されて、間接的に交流放電の状態で作動させるAC型のものと、電極が放電空間に露出して、直流放電の状態で作動させるDC型のものがある。

【0004】更に、AC型には、駆動方式として放電セルのメモリを利用するメモリ動作型と、それを利用しないリフレッシュ動作型とがある。なお、プラズマディスプレイの輝度は、放電回数、即ちパルス電圧の繰り返し数に比例する。上記のリフレッシュ型の場合は、表示容量が大きくなると、輝度が低下するため、小表示容量のプラズマディスプレイに対して主として使用されている。

【0005】図14は、AC型プラズマディスプレイの一つの表示セル構成を例示する断面図である。この表示セルは、ガラスより成る背面および前面の二つの絶縁基板1及び2と、絶縁基板2上に形成される透明な走査電極3及び透明な共通電極4と、電極抵抗値を小さくするため走査電極3及び共通電極4に重なるように配置され

るトレース電極5、6と、背面ガラス基板の絶縁基板1上に、走査電極3及び共通電極4と直交して形成されるデータ電極7と、絶縁基板1及び2の空間に、ヘリウム、ネオンおよびキセノン等またはそれらの混合ガスから成る放電ガスが充填される放電ガス空間8と、この放電ガス空間8を確保するとともに、表示セルを区切るための隔壁9と、上記放電ガスの放電により発生する紫外線を可視光25に変換する蛍光体21と、走査電極3及び共通電極4を覆う誘電膜22と、この誘電膜22を放電から保護する酸化マグネシウム等から成る保護層24と、データ電極7を覆う誘電膜23とを備えて構成される。

【0006】図15は本発明にも適用されて駆動されるAC型プラズマディスプレイパネルの電極配置を模式的に示したものである。平行に設けられた走査電極S1～Snと共通電極C1～Cnと、それらと直交する方向に設けられたデータ電極D1～Dmとの交点が、発光するセルとなる。走査電極S1本と共通電極C1本とデータ電極D1本で1つのセルを構成する。従って1画面全体のセル数は走査電極及び共通電極n本×データ電極m本のn×m個となる。

【0007】かかる構成におけるプラズマディスプレイの書き込み選択型駆動動作については、図16を参照して説明する。各SFは、プライミング期間→アドレス期間→維持期間→電荷消去期間の4つの期間で構成されている。

【0008】まず、最初のプライミング期間では、走査電極に印加されるプライミングパルスPpr-s、共通電極側に印加されるプライミングパルスPpr-cにより、放電を発生させる。この放電により走査電極と共通電極の電極間ギャップ近傍の放電空間においてプライミング放電が発生し、セルの放電を発生させやすくする活性粒子の生成が行われると同時に、走査電極上に負極性、共通電極上に正極性の壁電荷が付着する。続いて、電荷調整パルスPpe-sが印加され、弱放電を発生させることにより、走査電極上の負極性壁電荷、共通電極上の正極性壁電荷を減少させる。

【0009】アドレス期間は、発光させる放電セル選択の期間であり、走査電極に印加される負極性の走査パルスPw-sとデータ電極に印加される正極性のデータパルスPdにより選択するセルのみで書き込み放電を発生させ、以降の維持期間で発光させる場所のセルの電極に壁電荷を付着させる。書き込み放電は走査パルスPw-sが印加された走査電極とデータパルスPdが印加されたデータ電極の交点でのみ発生する。放電が発生すると、その放電セルには壁電荷が付着する。それに対し放電が発生しなかった放電セルにおいては、電荷消去後の壁電荷が少ない状態である。

【0010】維持期間は、表示発光のための期間であり、共通電極側から開始され、以降走査電極側、共通電

極側に交互に印加される負極性の維持パルス P_{sus-s} 、 P_{sus-c} が走査電極、共通電極に印加される。この際、アドレス期間で書き込みが行われなかった放電セルの壁電荷量は非常に少ないので、維持パルスが印加されても維持放電は発生しない。一方、アドレス期間で書き込み放電が発生した放電セルにおいては、走査電極に正電荷、共通電極に負電荷が付着しており、共通電極への負極性の維持パルス電圧と壁電荷電圧が重畳され、放電開始電圧を越え、放電が発生する。放電が発生すると、それぞれの電極に印加されている電圧を打ち消すように壁電荷が配置される。従って共通電極には負電荷、走査電極には正電荷が付着する。

【0011】次の維持パルスは、走査電極側が正電圧のパルスであるため、壁電荷との重畳によって、放電空間に印加される実効的電圧が放電開始電圧を越えて、放電が発生する。以下同じ事を繰り返して放電が維持される。輝度はこの放電の繰り返し回数で決定される。

【0012】電荷消去期間では、走査電極 S_i に負極性の維持消去パルス P_{se-s} を印加し、維持期間で発光していた場合に存在する壁電荷を消去し、パネル内の全放電セルの状態を均一化する。

【0013】このように、映像信号に対応して、各SF単位で、プライミング期間→アドレス期間→維持期間→電荷消去期間の4つの期間をそれぞれ繰り返すことにより、大画面で高密度画素の表示を維持している。

【0014】このシーケンスを動作させるためのプラズマディスプレイパネルの駆動回路の構成ブロック図を、図17に示す。プラズマディスプレイパネルの水平方向の端部に走査電極、維持電極の取り出し部があり、この接続部に駆動回路が接続される。走査電極側の駆動回路は走査電極1本ずつに走査パルスを入力するための走査パルスドライバ66、プライミングパルスを入力するためのプライミングドライバ65、維持パルスを入力するための維持ドライバ62、消去パルスを印加するための消去ドライバ63、走査ベースパルスを入力するための走査ベースドライバ61、走査電圧を入力するための走査電圧ドライバ64から構成され、これら全体として走査電極ドライバ60を構成する。

【0015】一方共通電極側の駆動回路の共通電極ドライバ40は、共通電極全体に維持パルスを印加するための維持ドライバ41から構成されている。プラズマディスプレイパネル70の垂直方向の端部にはデータ電極の取り出し部があり、この接続部にデータドライバ50が接続される。なお本図では、各ドライバをスイッチとして表記しているが、これは物理的なスイッチではなく、トランジスタやFETなどに代表されるスイッチング素子で構成しても良い。

【0016】階調表現は、1つのフレームを複数のサブフィールドに分割し、維持パルス数をSF毎に異ならせ、そのSFの組み合わせによって行う。したがって、

各SFの維持パルス数の比を例えば1:2:4:8:16:32:64:128にすると、256($=2^8$)階調を表現する。

【0017】また、消費電力は、画像の表示面積が大きく平均輝度レベルが高い場合、極めて増加する。そこで、消費電力の増加を抑制するための制御方法が用いられている。この制御方法は、「Peak Luminance Enhancement」(PLE)と呼ぶ。入力された映像信号は、映像信号処理回路、SF制御回路でプラズマディスプレイ用の信号に変換される。変換された信号は、入力信号平均輝度レベル演算回路に入力され、画面全体の輝度レベルを演算する。この演算結果を基に維持パルス数制御回路では、入力信号の平均輝度レベルが低い場合(APL(Average Peak Brightness Level):小)、すなわち表示する面積が狭い場合は維持パルス数を増やして輝度を上昇させ、逆に平均輝度レベルが高い場合(APL:大)、すなわち表示する面積が広い場合は維持パルス数を減らして輝度を制限することで、表示面積が大きい場合の消費電力を抑えつつ、高いピーク輝度を得られるように、各SFの維持パルス数をフレーム毎に制御している。

【0018】このようなプラズマディスプレイの駆動方法では、図18に示すように、維持期間として、APLが最低の時の維持パルス数がすべて入るだけの長さが割り当てられている。すなわち、維持期間中維持期間の残時間 T_{s-e} を、維持パルス数の多いAPLが低い場合には、短い期間であっても走査側電極波形と共通側電極波形として供給し、維持パルス数の少ないAPLが高い場合には、長い期間、走査側電極波形と共通側電極波形として供給し、電荷消去期間はAPLの高低には関係なく負側に消去パルスを供給した後、一定期間 T_{e-p} を供給している。

【0019】

【発明が解決しようとする課題】従って、図19に示すように、APLが高いとき、すなわち維持パルス数が少ないときは、維持期間に与えられた期間の終わりに空白時間が生じ、最終維持パルスから次の電荷消去パルスまでの時間大きくなる。これにより、APLの高低によって電荷消去までの時間がかかわることになり、均一な電荷消去の達成が難しかった。

【0020】本発明の主な目的は、AC型プラズマディスプレイにおいて、均一な電荷消去により、駆動特性を良好に保つ駆動方法および駆動回路を提供することである。

【0021】

【課題を解決するための手段】本発明は、前面基板の内側に、走査電極 $S_1 \sim S_n$ がこの順に互いに水平かつ平行に配置され、前記前面基板と前記走査電極の間に共通電極 $C_1 \sim C_n$ が配置され、前記前面基板と離間して対向配置された背面基板に、前記走査電極 $S_1 \sim S_n$ 及び前記共

共通電極C1～Cn-1と離間して交差するように複数のデータ電極D1～Dmが配置され、前記走査電極Sn、前記共通電極Cnと前記データ電極Dmの交点で1セルを構成しているAC型プラズマディスプレイパネルであって、1画面を構成する時間である1フレームをサブフィールド（以下、SFと称する）に分割し、任意のセルに書込放電を発生させるために各SFにて少なくとも前記走査電極に線順次に走査パルスを加加しつつ選択するデータ電極に前記走査パルスに同期したデータパルスを加加して選択した選択セルに書込放電を起こし、壁電荷を形成するアドレス期間と、前記アドレス期間に選択的に放電が発生した箇所に維持パルスを供給して維持放電を持続的に発生させる表示放電を行う維持期間とで駆動するAC型プラズマディスプレイの駆動方法において、前記維持期間の終了後に表示を行った前記選択セルに形成された壁電荷を消去するために加加する電荷消去パルスを、前記維持パルスのうちの最終維持パルスの終了後0 μ s～200 μ sの間に加加することを特徴とする。

【0022】また、本発明は、前面基板の内側に、走査電極S1～Snがこの順に互いに水平かつ平行に配置され、前記前面基板と前記走査電極の間に共通電極C1～Cnが配置され、前記前面基板と離間して対向配置された背面基板に、前記走査電極S1～Sn及び前記共通電極C1～Cn-1と離間して交差するように複数のデータ電極D1～Dmが配置され、前記走査電極S1～Sn、前記共通電極C1～Cnと前記データ電極D1～Dmの交点で1セルを構成し、1画面を構成する時間である1フレームをサブフィールド（以下、SFと称する）に分割し、任意のセルに書込放電を発生させるために各SFにて前記走査電極と前記共通電極とにプライミングパルスを供給するプライミング期間と、少なくとも前記走査電極に線順次に走査パルスを加加しつつ選択する前記データ電極に前記走査パルスに同期したデータパルスを加加して選択した選択セルに書込放電を起こし、壁電荷を形成するアドレス期間と、前記アドレス期間に選択的に放電が発生した箇所に維持パルスを供給して維持放電を持続的に発生させる表示放電を行う維持期間と、前記走査電極と前記共通電極とに維持消去パルスを加加する電荷消去期間とを順次駆動するAC型プラズマディスプレイにおいて、前記維持期間に前記走査電極と前記共通電極とに前記維持パルスを加加する維持ドライバと、前記維持期間の終了後の前記電荷消去期間に前記放電・表示を行った前記選択セルに形成された壁電荷を消去する電荷消去パルスを前記走査電極に加加する電荷消去ドライバとを備え、前記維持パルスのうちの最終維持パルスの終了後0 μ s～200 μ sの間に前記電荷消去パルスを加加することを特徴とする。

【0023】

【発明の実施の形態】本発明の実施形態について、図面を参照しつつ詳細に説明する。

【0024】〔第1の実施形態〕

（1）構成の説明

本発明の第1の実施形態では、維持期間の最終維持パルスP_{sus-cl}終了から、電荷消去期間の電荷消去パルスP_{se-s}印加までの間隔T_{s-e}を、0 μ s～200 μ sとすること、好ましくは電荷消去パルスを駆動する電荷消去ドライバ自体の遅延時間～100 μ sとすることを特徴とする。

【0025】本発明の第1の実施形態によるAC型プラズマディスプレイの駆動回路の構成は、図17によって説明した構成と同様であり、駆動コントローラ30からの維持ドライバ62と電荷消去ドライバ63へのドライバ駆動タイミングが大きく異なっている。

【0026】図17によれば、プラズマディスプレイパネルの水平方向の端部に走査電極、維持電極の取り出し部があり、この接続部に駆動回路が接続される。走査電極側の駆動回路は走査電極1本ずつに走査パルスを出力するための走査パルスドライバ66、プライミングパルスを出力するためのプライミングドライバ65、維持パルスを出力するための維持ドライバ62、消去パルスを加加するための消去ドライバ63、走査ベースパルスを出力するための走査ベースドライバ61、走査電圧を出力するための走査電圧ドライバ64から構成され、これら全体として走査電極ドライバ60を構成する。

【0027】一方、共通電極側の駆動回路の共通電極ドライバ40は、共通電極全体に維持パルスを加加するための維持ドライバ41から構成されている。プラズマディスプレイパネル70の垂直方向の端部にはデータ電極の取り出し部があり、この接続部にデータドライバ50が接続される。なお本図では、各ドライバをスイッチとして表記しているが、これは物理的なスイッチではなく、トランジスタやFETなどに代表される素子で構成しても良い。

【0028】階調表現は、1つのフレームを複数のサブフィールドに分割し、維持パルス数をSF毎に異ならせ、そのSFの組み合わせによって行う。したがって、各SFの維持パルス数の比を例えば1:2:4:8:16:32:64:128にすると、256(=2⁸)階調を表現する。

【0029】また、プラズマディスプレイパネルの駆動回路の消費電力は、画像の表示面積が大きく平均輝度レベルが高い場合、極めて増加する。そこで、消費電力の増加を抑制するための制御方法が用いられている。この制御方法は、明度ピーク強調方法或いは「Peak Luminance Enhancement」(PLE)と呼ぶ。入力された映像信号は、映像信号処理回路、SF制御回路でプラズマディスプレイ用の信号に変換される。変換された信号は、入力信号平均輝度レベル演算回路に入力され、画面全体の輝度レベルを演算する。この演算結果を基に維持パルス数制御回路では、入力信号の平均輝度レベルが低い場合

(APL (Average Peak Brightness Level) : 小)、すなわち表示する面積が狭い場合は維持パルス数を増やして輝度を上昇させ、逆に平均輝度レベルが高い場合 (APL : 大)、すなわち表示する面積が広い場合は維持パルス数を減らして輝度を制限することで、表示面積が大きい場合の消費電力を抑えつつ、高いピーク輝度を得られるように、各SFの維持パルス数をフレーム毎に制御している。

【0030】(2) 動作の説明

図1は本発明を実施する駆動波形の一例である。図1において、走査側電極波形は最右側にGND-Vs-Vpの電圧が印加され、共通側電極波形はGND-Vsの電圧が印加される。各SFはプライミング期間→アドレス期間→維持期間→電荷消去期間で構成されており、プライミング期間では、走査電極に正極性のパルスPpr-s、共通電極に負極性のパルスPpr-cを同時に印加し、その後走査電極に負極性のPpe-sを印加する。次のアドレス期間では、負極性のパルスPbwが常に印加されており、更に走査電極毎に時間的にずらして印加される負極性の走査パルスPw-sが印加され、図中の走査電極を発光させる場合には、データ電極に走査パルスと同期した正極性のデータパルスPdを印加する。維持期間では、共通電極に負極性の維持パルスPsus-c、走査電極に負極性の維持パルスPsus-sを交互に印加する。最終維持パルス印加後に維持期間を終了し、その後、電荷消去期間では走査電極に負極性の維持消去パルスPse-sを印加する。

【0031】図2に、走査電極と共通電極への供給電圧を時系列的に濃い線で示しており、上記駆動の場合の電荷の移動の様子を模式的に示す。図2(a)のように、プライミング期間の放電において、走査電極Snに正電圧が印加されて走査電極Sn上に負電荷、共通電極Cnに負電圧が印加されて共通電極Cn上に正電荷が蓄積される。図2(b)の電荷調整期間では走査電極Snに負電圧が印加され共通電極には正電圧が印加されて、蓄積している電荷が減少し、図2(c)のアドレス期間で、選択されたセルはデータ電極Dと走査電極Sn間で放電が発生し、さらに共通電極Cnと走査電極Sn間の面電極間放電も発生することにより、走査電極Sn上に正電荷、共通電極Cn上に負電荷が蓄積される。図2(d)の第一維持パルスでは面電極間放電によりアドレス期間で蓄積された電荷の正負が反転し、以後、維持パルス毎に電極上の電荷が反転する。最終維持パルス印加後は図2(e)に示すように、走査電極Sn上に負電荷、共通電極Cn側に正電荷が蓄積される。図2(f)の電荷消去期間の放電により、蓄積されていた電荷が解放され、またSF先頭のプライミング前の状態へと戻る。

【0032】図2(e)のように、アドレス期間で選択されたセルでは、維持期間での放電によって電極上に壁電荷が付着するが、最終維持パルスによる放電直後は放

電が起こりやすい状態にあるのに対し、同じように壁電荷が付着していても空白時間の後には放電の発生が遅くなる。これは、放電直後は放電空間中に存在する励起された分子や原子が多いのに対し、空白時間の後には励起状態の分子、原子が減少していることによる。このため、最終維持パルスと電荷消去パルスの間隔を小さくして、電荷消去を行うと効果的である。

【0033】(3) 本実施形態の効果

図3に、最終維持パルスPsus-cl終了から電荷消去パルスPse-s印加までの時間間隔Ts-eと維持電圧Vsの関係を示す。時間間隔Ts-eが0~150μs付近までは最大維持電圧を規定するのは、アドレス期間における面電極間電位差が大きいことにより、非選択セルが放電し、維持期間も放電することによる誤灯のみである。しかし、時間間隔Ts-eが150μsを越えると、維持期間の放電により活性化した分子、原子が徐々に減少していくため、前記アドレス期間に端を発する誤灯よりも低い維持電圧において、本来弱放電を発生させるべき電荷消去パルスで強放電が発生し、次のSFのプライミング、電荷調整パルスにおいても強放電が発生し、維持放電することによる、誤灯が発生する。

【0034】その時の電荷の動きを、図4に電荷消去期間の細かい電圧低下毎の状態図を示す。時刻T1は維持期間の終了時で電荷消去期間の開始時刻であり図4(d)にその状態図を示す。活性化分子、原子が多い場合は、図4(d)~(g)の左側に示すように、時刻T2において放電が開始し、弱放電をおこすことで、電荷量を減らすことができる。しかし活性化した分子、原子が減少すると、放電開始が遅くなり、図4(d)~(g)の右側に示すように、時刻T3で放電をおこすときには、印加している面電極間電位差電位差が大きくなるために強放電し、蓄積されている電荷の正負が反転した状態でふたたび蓄積する。この電荷消去期間に端を発する誤灯の発生する電圧は、時間間隔Ts-eが大きくなるほど低くなる。一方、最小維持電圧以下の電圧を印加した場合は、アドレス期間において選択セルに放電を発生させても、アドレス期間の面電極間電位差が不十分なため、面電極に付着する電荷量が少ない。そのため、維持期間において、放電を発生させるための電荷量が不足し、選択セルでも維持放電に失敗することがある。従ってVsマージンとしては最小維持電圧以上最大維持電圧以下である。最小維持電圧はTs-eに依存しないが、最大維持電圧はTs-eが大きくなるほど低下する。従って、Ts-eを0μs~200μsに限定することにより、好ましくは電荷消去パルスを駆動する電荷消去ドライバ63自体の伝送遅延時間~100μsと限定することにより、安定した消去が可能であり、Vsマージンを確保することができる。

【0035】[第2の実施形態] 本発明による第2の実施形態は、第1の実施形態に「Peak Luminance Enhancement」(PLE)と呼ばれる電力制御方法を組み併せる

ものである。PLEとは、ピーク輝度を拡大しつつ、消費電力を低減するために、1フレーム毎の各SFの維持パルス数を制御するものである。

【0036】本実施形態のプラズマディスプレイパネルの駆動装置による構成ブロック図を、図5に示して説明する。入力信号平均輝度レベル(APL)を演算し、APLが高い場合、維持パルス数制御回路で1フレーム当りの全維持パルス数は少なく出力し、APLが低い場合は全維持パルス数は多く出力する。APLによって1サブフィールド(SF)中の維持期間の長さが変化するが、図6に示すようにAPLが高く維持パルス数が減少した場合も電荷消去パルスは維持期間との間隔を $0\mu s \sim 200\mu s$ の間に、好ましくは電荷消去パルスを駆動する電荷消去ドライバ自体の遅延時間 $\sim 100\mu s$ とすること設定することを第2の実施形態の特徴とする。これにより、APLが変化した場合も常に安定した電荷消去が実現できる。

【0037】[第3の実施形態]本発明による第3の実施形態は、上記第2の実施形態において、図7に示すように、プライミングパルスが鋸歯状波または鈍り波形であり、電荷消去パルスとプライミングパルスの両方で電荷消去を完全に行う場合に、電荷消去パルスとプライミングパルスとの時間間隔 T_{e-p} をも $0 \sim 200\mu s$ の間に設定することを特徴とする。このような形態のプライミングパルスにおいては、前SFが発光した場合、電荷消去パルスで完全に消去できなかった電荷を消去するという機能を併せ持つ。このプライミングパルスによる消去特性も第1の実施形態と同様、空間電荷が存在している間に放電を行う方が良い消去特性を得られる。電荷消去パルスとプライミングパルスの間隔 T_{e-p} とプライミング電圧 V_p の関係を、図8に示す。

【0038】ここで、最小プライミング電圧とは、全セルにプライミング放電が発生する最小 V_p 電圧値、最大プライミング電圧とは、それ以上の V_p 電圧を印加すると、プライミングにおける弱放電時の電荷の蓄積量が多くなり、Ppr-sの立ち下がり時に、蓄積していた電荷による面電極間電位差が放電可能な電位差以上であるために強放電が発生する(自己消去放電)ことに起因する誤灯が発生する上限電圧、最大誤灯電圧とは、プライミングにおける弱放電が不十分となり、蓄積される壁電荷量が不足して、次の電荷調整パルスでの放電開始時の面電極間電位差が大きくなり、強放電が発生して誤灯につながる最大の電圧である。従って、 V_p のマージンは図8中の斜線部となる。 T_{e-p} を小さくすることにより、マージンを広く確保することができる。

【0039】[第4の実施形態]本発明による第4の実施形態は、第3の実施形態において、図9に示すように、電荷調整パルスが鋸歯状波または鈍り波形で弱放電により電荷を調整する形態の場合、プライミングパルスから電荷調整パルスまでの時間間隔 T_{p-pe} を $0 \sim 50\mu s$ に

設定すること、好ましくはプライミングドライバ65自体の遅延時間 $\sim 20\mu s$ に設定することとを特徴とする。

【0040】このような形態の電荷調整パルスにおいては、プライミングパルスにより電荷を完全に消去した後、活性化した分子、原子の残っている状態でアドレスに適した電荷配置を作ることにより、電荷配置のばらつきを低減できる。プライミング終了から電荷調整パルスまでの時間 T_{p-pe} と維持電圧 V_s の関係を図10に示す。 T_{p-pe} が $0 \sim 50\mu s$ 付近では、最大維持電圧以上の電圧を印加すると、アドレス期間における面電極間電位差が大きいために、非選択セルにおいても面放電が発生し、維持放電することによる誤灯が発生する。

【0041】しかし、時間間隔 T_{p-pe} が $50\mu s$ を越えると、プライミング期間にセル内で活性化した分子、原子が減少していくため、電荷調整パルスにおける放電開始時の面電極間電位差が大きくなり、前記アドレス期間に端を発する誤灯よりも低い電圧において、電荷調整パルスでの強放電が発生、維持期間も放電することにより、誤灯につながる。一方、最小維持電圧以下では、アドレス期間で選択セルで放電が発生しても、面電極間電位差が不十分のため、面電極に付着する電荷量が少ない。

【0042】そのため、維持期間において、放電を発生させるための電荷量が不足し、選択セルでも維持放電に失敗することがある。蓄積される電荷量が少ないため、維持するための電圧が不足する。従って、維持電圧 V_s のマージンとしては、最小維持電圧以上最大維持電圧以下である。最小維持電圧は T_{p-pe} に依存しないが、最大維持電圧は T_{p-pe} が大きくなるほど低下する。従って T_{p-pe} を $0 \sim 50\mu s$ に限定することで、広い V_s マージンを確保できる。

【0043】[第5の実施形態]本発明による第5の実施形態は、第4の実施形態において、電荷調整パルスからアドレス期間までの時間間隔を $0 \sim 50\mu s$ の間とすること、好ましくは走査電圧ドライバ64自体の伝送遅延時間 $\sim 20\mu s$ の間とすることを特徴とする。

【0044】本実施形態の電荷調整パルスにより、上記の通り電荷配置のばらつきを低減した状態で、さらに電荷調整パルスにおける放電によりセル内の分子、原子が活性化した状態でアドレスを行うことにより、選択セルでのアドレスにおける放電が安定して得られる。

【0045】[第6の実施形態]本発明による第6の実施形態は、第5の実施形態において、図11に示すように、フィールド中のSF全体の間隔を詰めることを特徴とする。これは維持期間 \sim 電荷消去期間 \sim 次SFプライミング期間 \sim 電荷調整期間 \sim アドレス期間 \sim 維持期間、の各期間の間隔を第1乃至第5の実施形態の如く限定することにより、安定した電荷消去かつ安定したアドレス放電を可能にする。この際、上述のPLE制御方法或いは明度ピーク強調方法を用いることができる。

【0046】本実施形態では、図19に示した従来例に

における維持期間の相違による空白期間を削減することによりサブフィールドの期間を短縮できる。

【0047】特に、映像信号の入力平均輝度レベル（APL）が高いとき、すなわち維持パルス数が少ないときは、維持期間に与えられた期間の終わりに空白時間が生じ、最終維持パルスから次の電荷消去パルスまでの時間が大きくなる。これにより、APLの高低によって、電荷消去までの時間に誤放電の発生を適度に防止して、均一な電荷消去により、駆動特性を良好に保つことが可能となる。また、この空白時間を設けることなくサブフィールドの期間を短縮することができる。

【0048】一方では、この空白期間に、後述の図12に示したように、プライミングパルスの後に電荷調整パルスと電荷消去パルスを共通電極に設けて、誤放電を防止することができる。

【0049】〔第7の実施形態〕本発明による第7の実施形態として、第6の実施形態において、図12に示すようにフィールド最後のSFの最終維持パルス後に電荷消去パルス、プライミングパルス、電荷調整パルスを第1乃至第4の実施形態の如く印加し、さらに次フィールドの先頭SFのアドレス期間直前にも電荷消去パルス、プライミングパルス、電荷調整パルスを印加することを特徴とする。

【0050】1フィールド後半の各APLレベルの状態図を図13に示す。APLが高い場合、フィールドの最後に空白時間が出来るが、そこに電荷消去パルス、プライミングパルス、電荷調整パルスを印加する。前半の電荷消去パルス、プライミングパルス、電荷調整パルスにより、発光したセルにおける電荷の消去を完全に行い、さらに放電の起こりやすい電荷配置を実現させる。さらに後半の電荷消去パルス、プライミングパルス、電荷調整パルスで放電させることにより、再び分子、原子を活性化させ、電荷配置を整え直すことができ、それによりフィールドの先頭SFにおいても安定したアドレス放電を得ることができる。

【0051】なお、上記各実施例におけるAC型プラズマディスプレイパネルの駆動方法は、AC型プラズマディスプレイパネル自体内に用いることができるので、本発明によるAC型プラズマディスプレイパネルにおいても、同様な駆動方法をそれぞれ用いることができる。

【0052】

【発明の効果】本発明は、プラズマディスプレイパネルの駆動装置或いは方法において、映像信号の入力平均輝度レベル（APL）が高いとき、すなわち維持パルス数が少ないときは、維持期間に与えられた期間の終わりに空白時間が生じ、最終維持パルスから次の電荷消去パルスまでの時間が大きくなる。これにより、APLの高低によって電荷消去までの時間に誤放電の発生を適度に防止して、均一な電荷消去により、駆動特性を良好に保つことが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態によるドライブ波形図である。

【図2】本発明の第1の実施形態によるドライブ波形に対応する状態図である。

【図3】本発明の第1の実施形態によるドライブ波形による性能領域図である。

【図4】本発明の第1の実施形態によるドライブ波形図である。

【図5】本発明の第2の実施形態による構成ブロック図である。

【図6】本発明の第2の実施形態によるドライブ波形図である。

【図7】本発明の第3の実施形態によるドライブ波形図である。

【図8】本発明の第3の実施形態によるドライブ波形による性能領域図である。

【図9】本発明の第4の実施形態によるドライブ波形図である。

【図10】本発明の第4の実施形態によるドライブ波形図である。

【図11】本発明の第6の実施形態によるドライブの時系列図である。

【図12】本発明の第7の実施形態によるドライブ波形図である。

【図13】本発明の第6の実施形態によるドライブの時系列図である。

【図14】従来技術のプラズマディスプレイ画素の構成図である。

【図15】従来技術のプラズマディスプレイパネルの配線図である。

【図16】従来技術のプラズマディスプレイへのドライブ波形図である。

【図17】従来技術及び本発明のプラズマディスプレイの駆動構成図である。

【図18】従来技術のプラズマディスプレイによるドライブ波形図である。

【図19】従来技術のプラズマディスプレイによるドライブの時系列図である。

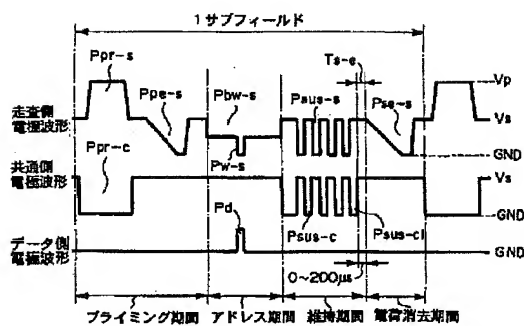
【符号の説明】

- 1 背面ガラス基板
- 2 前面ガラス基板
- 3 走査電極
- 4 共通電極
- 5 トレース電極
- 6 トレース電極
- 7 データ電極
- 8 放電ガラス空間
- 9 隔壁
- 11 映像信号

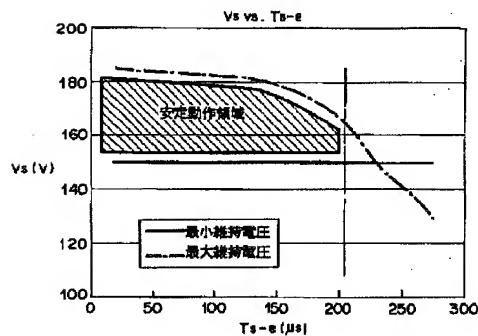
- 12 映像信号処理回路
- 13 サブフィールド制御回路
- 14 入力信号平均輝度レベル演算回路
- 15 維持パルス数制御回路
- 20 映像処理部
- 21 蛍光体
- 22 誘電体
- 23 誘電体
- 25 可視光
- 30 駆動コントローラ

- 40 共通電極ドライバ
- 50 データ電極ドライバ
- 60 走査電極ドライバ
- 61 走査ベースドライバ
- 62 維持ドライバ
- 63 電荷消去ドライバ
- 64 走査電圧ドライバ
- 65 プライミングドライバ
- 66 走査パルスドライバ
- 70 プラズマディスプレイパネル

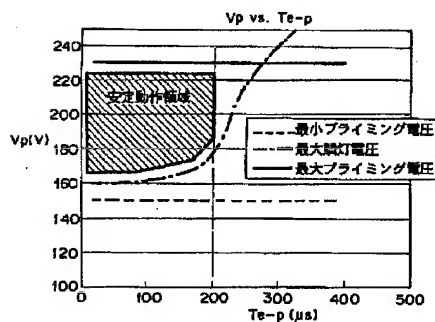
【図1】



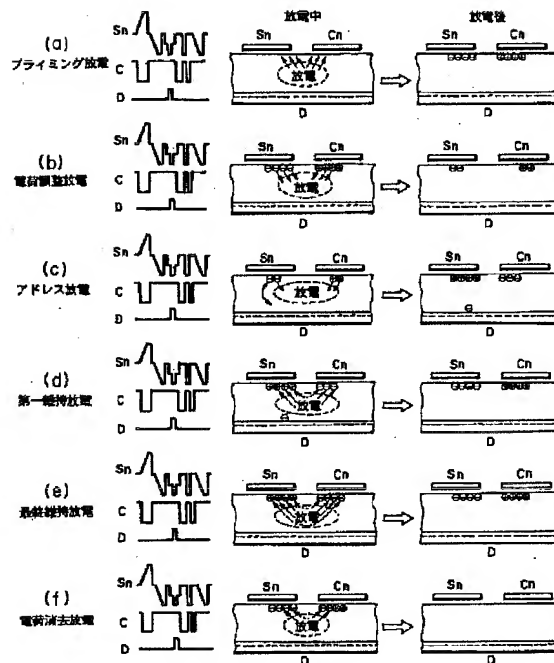
【図3】



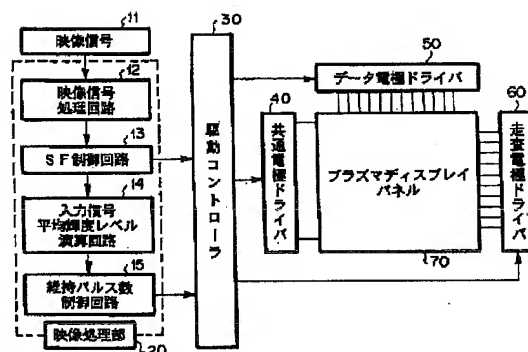
【図8】



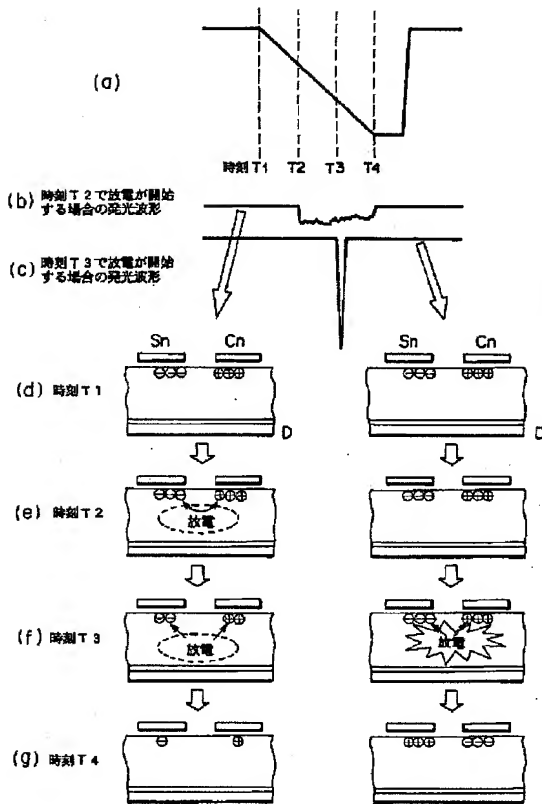
【図2】



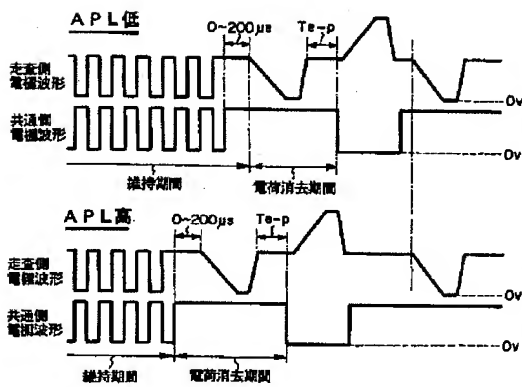
【図5】



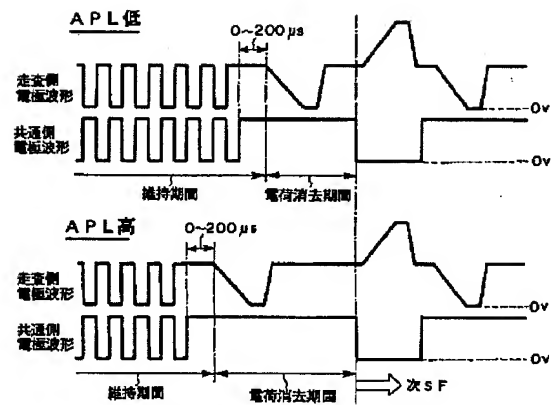
【図4】



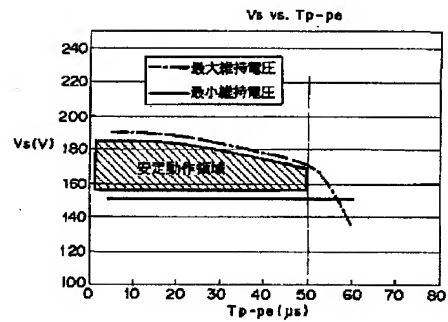
【図7】



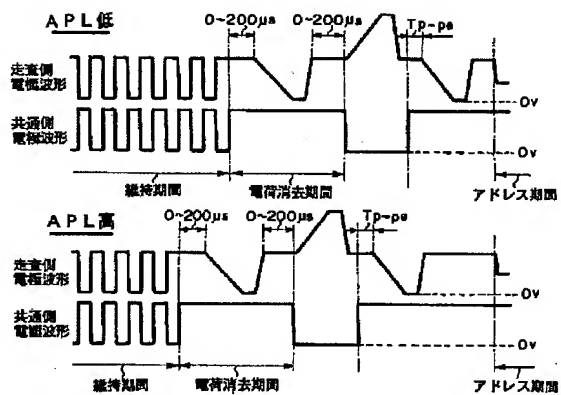
【図6】



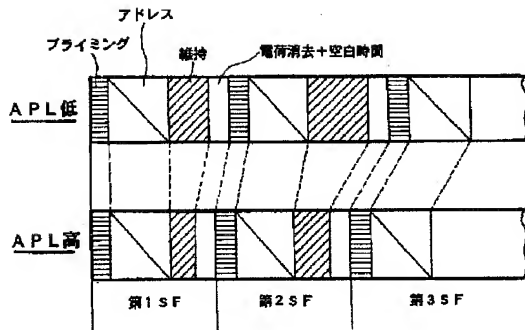
【図10】



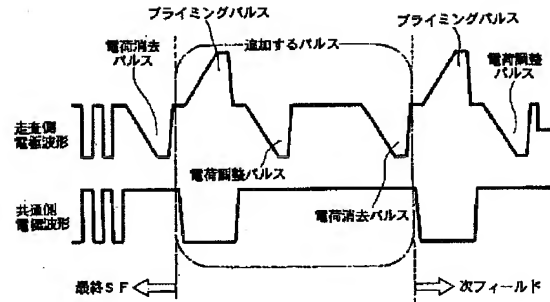
【図9】



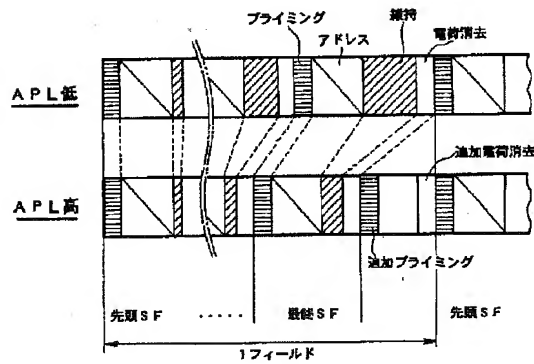
【図11】



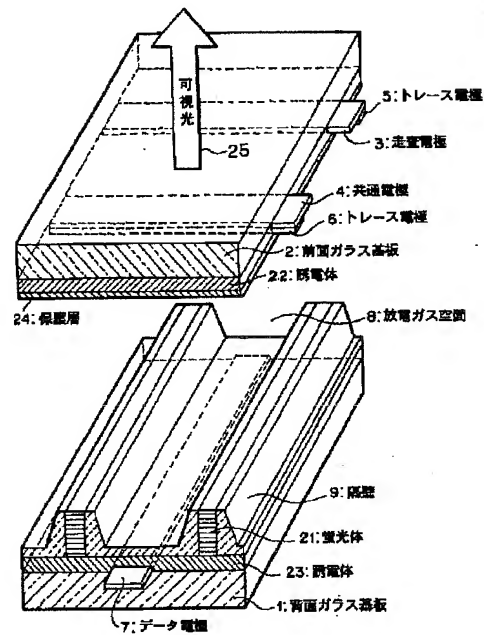
【図12】



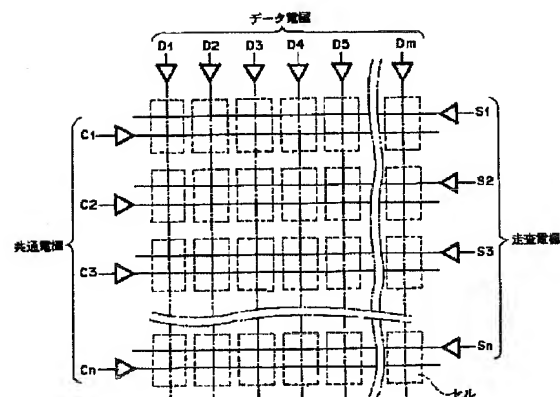
【図13】



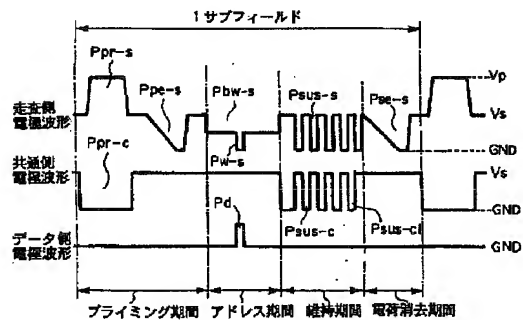
【図14】



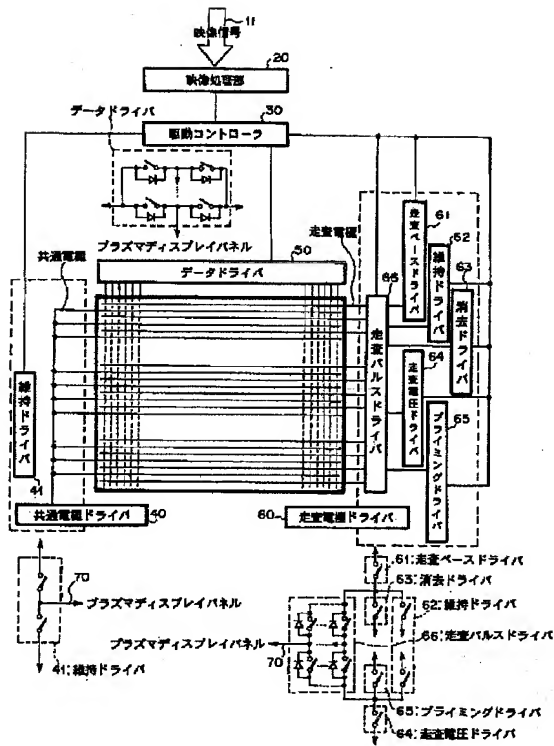
【図15】



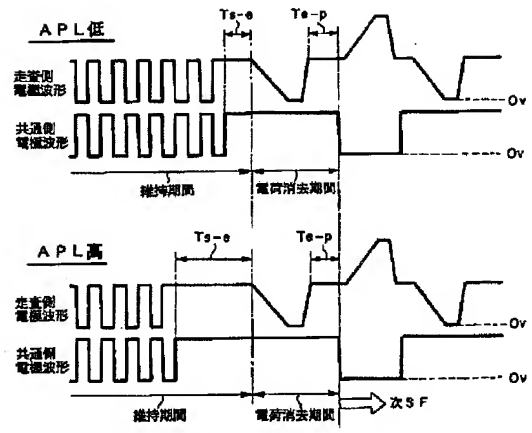
【図16】



【図17】



【図18】



【図19】

